

(1) Japanese Patent Application Laid-Open No. 10-65160 (1998):

“VERTICAL FIELD EFFECT TRANSISTOR AND MANUFACTURING METHOD THEREOF”

The following is a translation of claims 1 and 2.

[Claim 1] A vertical field effect transistor having a convex portion formed on a surface thereof, a sidewall of said convex portion being a channel region, wherein

a buried layer is formed at a predetermined depth of said substrate by ion implantation, said buried layer being an opposite conductivity type to that of said substrate,

a bottom portion of a recessed portion for forming said convex portion exists within said buried layer and the width of said recessed portion is set to be smaller than that of said buried layer,

impurity regions to be a source and a drain, respectively, are formed on a surface of said convex portion and a bottom surface of said recessed portion, and

a channel length is set between said buried layer and said impurity region formed on said surface of said convex portion.

[Claim 2] A method of manufacturing a vertical field effect transistor, comprising the steps of:

forming a buried layer of a second conductivity type by ion implantation at a predetermined depth of a semiconductor substrate of a first conductivity type;

forming a recessed portion in said semiconductor substrate, said recessed portion being smaller than the width of said buried layer and a bottom portion thereof existing within said buried layer;

forming a gate electrode on a sidewall of a convex portion formed by said recessed portion with a gate insulating film interposed in between; and

forming impurity regions to be a source and a drain on a surface of said convex portion and a bottom portion of said recessed portion.

特開平10-65160

(43)公開日 平成10年(1998)3月6日

(51)Int.Cl. ⁶	識別記号	F I		
H01L 29/78	9447-4M	H01L 29/78	653	B
27/115		27/10	434	
21/8247		29/78	301	X
29/788			371	
29/792	9447-4M		652	B
審査請求 未請求 請求項の数4 O L (全9頁)				

(21)出願番号 特願平8-221436

(22)出願日 平成8年(1996)8月22日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 平山 照峰

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 弁理士 松隈 秀盛

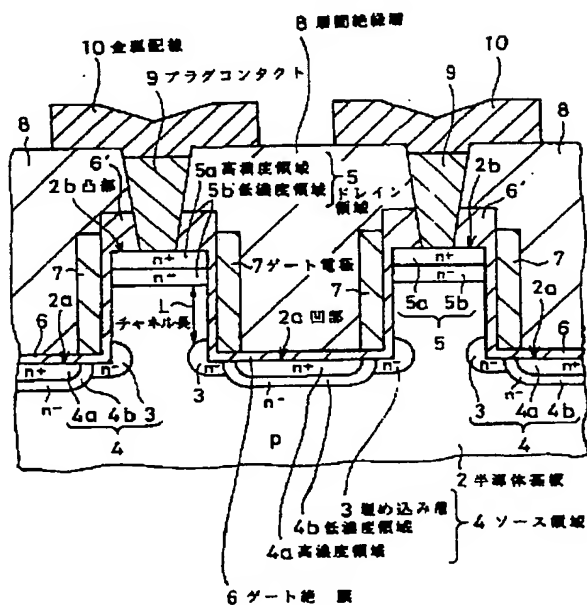
(54)【発明の名称】縦型電界効果トランジスタ及びその製造方法

(57)【要約】

【課題】 チャンネル長のバラツキをなくすることにより、安定した特性が得られる縦型電界効果トランジスタ及びその製造方法を提供する。

【解決手段】 イオン注入により基板2の所定の深さに基板2と反対導電型の埋め込み層3が形成され、基板2に凸部2bを形成するための凹部2aの底部がこの埋め込み層3内に存し、かつ凹部2aの幅が埋め込み層3の幅より小に設定され、凸部2bの表面及び凹部2aの底面に、それぞれソース、ドレインとなる不純物領域4a、4b、5a、5bが形成され、凸部2b側壁に形成されるチャンネル領域のチャンネル長Lが、埋め込み層3と凸部2b表面の不純物領域5a、5bとの間で設定されてなる縦型電界効果トランジスタ1を構成する。

1 縦型MOSトランジスタ



第1実施例の構成図

【特許請求の範囲】

【請求項 1】 基板に形成された凸部を有し、該凸部の側壁をチャネル領域とする縦型電界効果トランジスタにおいて、

イオン注入により上記基板の所定の深さに上記基板と反対導電型の埋め込み層が形成され、

上記凸部を形成するための凹部の底部が上記埋め込み層内に存しかつ凹部の幅が埋め込み層の幅より小に設定され、

上記凸部の表面及び上記凹部の底面に、それぞれソース、ドレインとなる不純物領域が形成され、

上記埋め込み層と上記凸部表面の不純物領域との間でチャネル長が設定されてなることを特徴とする縦型電界効果トランジスタ。

【請求項 2】 第 1 導電型の半導体基板の所定深さに、イオン注入により第 2 導電型の埋め込み層を形成する工程と、

上記半導体基板に、上記埋め込み層の幅より小さく、かつ底部が埋め込み層内に存する凹部を形成する工程と、上記凹部により形成された凸部の側壁に、ゲート絶縁膜を介してゲート電極を形成する工程と上記凸部表面及び上記凹部底部にソース、ドレインとなる不純物領域を形成する工程とを有することを特徴とする縦型電界効果トランジスタの製造方法。

【請求項 3】 上記埋め込み層は、イオン注入の後に熱拡散された層であることを特徴とする請求項 2 に記載の縦型電界効果トランジスタの製造方法。

【請求項 4】 上記埋め込み層は絶縁膜上に形成されたマスクを用いてイオン注入により形成し、

上記マスクによってパターンニングされた上記絶縁層にサイドウォールを形成した後、上記絶縁層及び該サイドウォールをマスクにして上記凹部を形成することを特徴とする請求項 2 に記載の縦型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板に形成された凸部を有し、該凸部の側壁をチャネル領域とする縦型電界効果トランジスタ及びその製造方法に係わる。

【0002】

【従来の技術】 近年、半導体装置の集積度向上のために、シリコン基板に溝を形成し、その溝の側壁をチャネル領域とした MOS トランジスタを形成する半導体装置の検討が多数行われている。

【0003】 このような半導体装置、いわゆる縦型 MOS トランジスタの構成を図 1 2 に示す。この縦型 MOS トランジスタ 4 1 は、p 型のシリコンからなる半導体基板 4 2 に溝が形成されて、この溝により、それぞれ半導体基板 4 2 に凹部 4 2 a 及び凸部 4 2 b が形成されている。半導体基板 4 2 の凹部 4 2 a の表面には、表面から

n 型の高濃度領域 (n+) 4 3 a と、n 型の低濃度領域 (n-) 4 3 b とが形成され、両領域 4 3 a 及び 4 3 b で n 型のソース領域 4 3 が構成される。半導体基板 4 2 の凸部 4 2 b の表面には、表面から n 型の高濃度領域 (n+) 4 4 a と、n 型の低濃度領域 (n-) 4 4 b とが形成されて、この両領域 4 4 a 及び 4 4 b で n 型のドレイン領域 4 4 が構成される。半導体基板 4 2 の上には、酸化膜等によるゲート絶縁膜 4 5 が形成されている。

10 【0004】 半導体基板 4 2 の凸部 4 2 b の側壁には、ゲート絶縁膜 4 5 を介してポリシリコン等からなるゲート電極 4 6 が形成されている。そして、全体を覆って層間絶縁層 4 7 が形成され、ドレイン領域 4 4 の高濃度領域 4 4 a の上の部分の層間絶縁層 4 7 及びゲート絶縁膜 4 5 に開口が形成され、この開口内に例えばタングステン等からなるプラグコンタクト 4 8 が形成されている。さらにプラグコンタクト 4 8 の上に A 1 等からなる金属配線 4 9 が形成されて、ドレイン領域 4 4 から電極を引き出している。

20 【0005】 この LDD (Lightly Doped Drain) 構造の縦型 MOS トランジスタ 4 1 において、ゲート絶縁膜 4 5 を介してゲート電極 4 6 に対向する凸部 4 2 b の側壁部分、即ちソース領域 4 3 とドレイン領域 4 4 との間にチャネル領域が形成される。

【0006】

【発明が解決しようとする課題】 しかしながら、図 1 2 の構成では、ドレイン領域 4 4 とソース領域 4 3 との間の距離、即ちチャネル長 (ゲート長) L が半導体基板 4 2 に形成した溝の深さで決まるが、この溝の深さにバラツキがあると、チャネル長 L がバラツキ、MOS トランジスタの特性にバラツキが生じて、半導体装置として安定した特性が得られない。工程上、溝の深さにはある程度のバラツキが生じるため、結果として安定した特性が得られないことがあった。

【0007】 上述した問題の解決のために、本発明においては、チャネル長のバラツキをなくすることにより、安定した特性が得られる縦型電界効果トランジスタ及びその製造方法を提供するものである。

【0008】

40 【課題を解決するための手段】 本発明の縦型電界効果トランジスタは、イオン注入により基板の所定の深さに基板と反対導電型の埋め込み層が形成され、基板に凸部を形成するための凹部の底部がこの埋め込み層内に存し、かつ凹部の幅が埋め込み層の幅より小に設定され、凸部の表面及び凹部の底面に、それぞれソース、ドレインとなる不純物領域が形成され、凸部側壁に形成されるチャネル領域のチャネル長が、埋め込み層と凸部表面の不純物領域との間で設定されてなる構成である。

50 【0009】 この構成によれば、埋め込み層はイオン注入の飛程距離によって一義的に決まり、一定の深さに形

成される。そして、この埋め込み層に達するように溝による凹部が形成され、即ち凹部の底部が埋め込み層の幅より小に設定された凹部が形成され、凹部底面及び凸部表面にソース、ドレインとなる不純物領域が形成されて凸部側壁のチャンネル長が、埋め込み層と凸部表面の不純物領域との間で設定されているので、凹部の深さにバラツキが生じててもチャンネル長に変動は生じない。従って、チャンネル長のバラツキがなく、安定した特性の縦型電界効果トランジスタが得られる。

【0010】また本発明の縦型電界効果トランジスタの製造方法は、第1導電型の半導体基板の所定深さに、イオン注入により第2導電型の埋め込み層を形成し、半導体基板に、埋め込み層の幅より小さく、かつ底部が埋め込み層内に存する凹部を形成し、この凹部により形成された半導体基板の凸部の側壁に、ゲート絶縁膜を介してゲート電極を形成し、半導体基板の凸部表面及び凹部底部にソース、ドレインとなる不純物領域を形成するものである。

【0011】この製造方法によれば、イオン注入の条件によりイオン注入の飛程距離が規定され、即ち、埋め込み層の深さがきまる。従って、ほぼ一定の深さに埋め込み層を形成することができる。そして、基板に溝による凹部を形成したとき、凹部の底部がこの埋め込み層内に存し、かつ凹部の幅が埋め込み層の幅より小に設定されることから、溝の深さに多少のバラツキがあっても、溝の底部が埋め込み層内に形成され、チャンネル長はほぼ一定の深さに形成される埋め込み層と、基板の凸部表面の不純物領域（ドレイン領域又はソース領域）との間に設定されて、チャンネル長がほぼ一定に保たれる。

【0012】

【発明の実施の形態】本発明は、基板に形成された凸部を有し、この凸部の側壁をチャンネル領域とする縦型電界効果トランジスタにおいて、イオン注入により基板の所定の深さに基板と反対導電型の埋め込み層が形成され、凸部を形成するための凹部の底部が埋め込み層内に存し、かつ凹部の幅が埋め込み層の幅より小に設定され、凸部の表面及び凹部の底面に、それぞれソース、ドレインとなる不純物領域が形成され、埋め込み層と凸部表面の不純物領域との間でチャンネル長が設定されてなる構成とする。

【0013】また本発明の縦型電界効果トランジスタの製造方法は、第1導電型の半導体基板の所定深さに、イオン注入により第2導電型の埋め込み層を形成する工程と、半導体基板に、埋め込み層の幅より小さく、かつ底部が埋め込み層内に存する凹部を形成する工程と、凹部により形成された凸部の側壁に、ゲート絶縁膜を介してゲート電極を形成する工程と、凸部表面及び凹部底部にソース、ドレインとなる不純物領域を形成する工程とを有するものである。

【0014】また本発明は、上記縦型電界効果トランジ

スタの製造方法において、埋め込み層がイオン注入の後熱拡散された層であるものである。

【0015】また本発明は、上記縦型電界効果トランジスタの製造方法において、埋め込み層は絶縁膜の上に形成されたマスクを用いてイオン注入により形成し、マスクによってバターンングされて絶縁層にサイドウォールを形成した後、絶縁層及びサイドウォールをマスクに凹部を形成するものである。

【0016】以下、図面を参照して本発明の縦型電界効果トランジスタ及びその製造方法の実施例を説明する。図1は、縦型電界MOSトランジスタに適用した場合である。この縦型MOSトランジスタ1は、第1導電型、本例ではp型のシリコンからなる半導体基板2に溝が形成されて、この溝により、それぞれ半導体基板2に凹部2a及び凸部2bが形成されている。そして、凹部2aの底部の周囲、すなわち底部の外側及び下側に、第2導電型、本例ではn型の低濃度（n-）の埋め込み層3が形成される。従って、凹部2aの底部はn型の低濃度の埋め込み層3内にあり、凹部2aの幅は埋め込み層3の幅より小さく形成されている。この埋め込み層3は、イオン注入の後熱拡散して形成される。

【0017】また、半導体基板2の凹部2aの表面には、表面からn型の高濃度領域（n+）4aと、n型の低濃度領域（n-）4bとが形成され、高濃度領域4a、低濃度領域4b及び埋め込み層3でn型のソース領域4が構成される。半導体基板2の凸部2b表面には、表面からn型の高濃度領域（n+）5aと、n型の低濃度領域（n-）5bとが形成されて、この両領域5a及び5bでn型のドレイン領域5が構成される。

【0018】半導体基板2の上には、酸化膜等によるゲート絶縁膜6が形成されている。このゲート絶縁膜6は、ドレイン領域5の高濃度領域5aの上の部分6'が、他の部分より厚く形成されている。

【0019】半導体基板2の凸部2bの側壁には、ゲート絶縁膜6を介してポリシリコン等からなるゲート電極7が形成されている。そして、全体を覆って層間絶縁層8が形成され、ドレイン領域5の高濃度領域5aの上の部分の層間絶縁層8及びゲート絶縁膜6'に開口が形成されており、この開口内に例えばタングステン等からなるプラグコンタクト9が形成されている。さらにプラグコンタクト9の上にA1等からなる金属配線10が形成されて、ドレイン領域5から電極を引き出している。

【0020】この縦型MOSトランジスタ1において、半導体基板2の凸部2bの側壁、即ちソース領域4の一部を構成する埋め込み層3とドレイン領域5との間にチャンネル領域が形成される。

【0021】このチャンネル領域のチャンネル長Lは、埋め込み層3とドレイン領域5との間の距離である。従って、溝の深さに多少のバラツキがあっても、溝の底部即ち半導体基板2の凹部2aの底部が埋め込み層3内にあ

ることから、埋め込み層 3 とドレイン領域 5 との間の距離は不変であり、チャンネル長 L は溝の深さのバラツキの影響を受けない。

【0022】従って、図 12 の場合のような、チャンネル長 L のバラツキがなく、各縦型 MOS トランジスタ 1 の特性のバラツキをなくすことができ、これを用いた半導体装置の特性を安定化することができる。

【0023】この縦型 MOS トランジスタ 1 の製造は、次のようにして行う。まず、図 2 A に示すように、第 1 導電型、例えば p 型のシリコンからなる半導体基板 2 に熱酸化或いは CVD (化学的气相成長) 法により絶縁膜 11 を形成し、この絶縁膜 11 の上に後に溝を形成する部分を開口するようにフォトレジスト 12 を形成する。

【0024】次に、図 2 B に示すように、フォトレジスト 12 をマスクとして、p 型のシリコンからなる半導体基板 2 の後にソース領域 4 となる領域の近傍に P (リン) 等の不純物をイオン注入して、第 2 導電型、即ち n 型の低濃度 (n-) の埋め込み層 3 を形成する。このとき、半導体基板の不純物濃度を考慮して、イオン注入の不純物濃度及び注入エネルギーを選定することにより、所定の深さに埋め込み層 3 を形成することができる。

【0025】次に、図 3 C に示すように、フォトレジスト 12 を除去した後、熱処理を行って埋め込み層 3 の不純物を拡散させる。

【0026】次に、図 2 A と同じ位置にフォトレジスト 13 を形成し、これをマスクとして、図 3 D に示すように、絶縁膜 11 及びシリコン基板 2 を、RIE (反応性イオンエッチング) 等によりエッチングして溝 14 を形成する。このとき、溝 14 の幅 W_1 が不純物を導入した埋め込み層 3 の幅 W_2 より小さく、かつ埋め込み層 3 の領域内に溝 (半導体基板の凹部) 14 の底部が形成されるようにする。

【0027】次に、図 4 E に示すように、フォトレジスト 13 を除去した後、熱酸化を行って、シリコン基板 2 の表面にゲート絶縁膜 6 を形成する。

【0028】次に、図 4 F に示すように、ゲート絶縁膜 6 を覆って、CVD 法によりゲート電極となるポリシリコン層 15 を形成する。そして、低抵抗化のためにポリシリコン層 15 へリン等の不純物を導入する。

【0029】続いて、図 5 G に示すように、ポリシリコン層 15 を RIE (反応性イオンエッチング) 等によりエッチングして、側壁部分のみ残してゲート電極 7 を形成する。

【0030】次に、シリコン基板 2 の凹部 2 a 及び凸部 2 b にそれぞれ低濃度 ($1 \times 10^{11} \sim 5 \times 10^{14} \text{ cm}^{-3}$) のリンを打ち込みエネルギー $100 \sim 300 \text{ keV}$ として深めにイオン注入して、次に高濃度 ($1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-3}$) のヒ素を打ち込みエネルギー $20 \sim 100 \text{ keV}$ として浅めにイオン注入する。

【0031】これにより、図 5 H に示すように、シリコ

ン基板 2 の凹部 2 a に n+ の高濃度領域 4 a 及び n- の低濃度領域 4 b が形成され、ここに n+ の高濃度領域 4 a、n- の低濃度領域 4 b 及び n- の埋め込み層 3 によって n 型のソース領域 4 が形成され、シリコン基板 2 の凸部 2 b に n+ の高濃度領域 5 a 及び n- の低濃度領域 5 b が形成され、ここに n+ の高濃度領域 5 a 及び n- の低濃度領域 5 b によって n 型のドレイン領域 5 が形成される。

【0032】次に、図 6 I に示すように、溝 14 を埋めて全体を覆って BPSG (ボロン・リン・シリケートガラス) 等からなる膜を形成し、これに熱処理をしてフロー (流動平坦化) させて層間絶縁層 8 を形成する。

【0033】続いて、図 6 J に示すように、層間絶縁層 8 に、ドレイン領域 5 の高濃度領域 5 a が形成されたシリコン基板 2 の凸部 2 b 表面にまで達する開口 (コンタクトホール) を開けて、この開口内に CVD 法によりタングステン等からなる層を形成して開口を埋める。そして、開口上端より上の部分を RIE 法によりエッチバックして、タングステン等からなるプラグコンタクト 9 を形成する。

【0034】次に、プラグコンタクト 9 上にスパッタ法により Al 膜を形成して、これを所定の形状に加工して金属配線 10 を形成し、図 1 に示す LDD 構造の縦型 MOS トランジスタ 1 を形成する。この後は図示しないが、例えば表面にオーバーコート膜等を形成する。

【0035】図 7 ~ 図 10 は、縦型 MOS トランジスタ及びその製造方法の他の実施例を示す。この例は、表面の絶縁層の横に絶縁層からなるサイドウォールを形成し、この絶縁層及びサイドウォールをマスクとして、半導体基板に溝を形成するエッチングを行うものである。

【0036】図 7 に示す縦型 MOS トランジスタ 21 は、図 1 の縦型 MOS トランジスタ 1 に対して、半導体基板 2 の凹部 2 a が、半導体基板 2 の凸部 2 b 上の絶縁膜 11 及びその横のサイドウォール 22 をマスクとして形成されているものである。

【0037】このため、半導体基板 2 の凸部 2 b 及びドレイン領域 5 (5 a, 5 b) が図 1 の場合に比して幅広に、一方半導体基板 2 の凹部 2 a 及びソース領域 4 (4 a, 4 b) が図 1 より狭く形成されている。

【0038】その他の構成は、図 1 の縦型 MOS トランジスタ 1 と同様であるので、同一の符号を付して重複説明を省略する。

【0039】この場合も、チャンネル長 L がドレイン領域 5 と埋め込み層 3 との距離により規定され、埋め込み層 3 がイオン注入の条件を設定することにより、ほぼ一定の深さに形成されるので、半導体基板 2 の凹部 2 a の底部が埋め込み層 3 内にあるように溝を形成することにより、溝の深さにバラツキを生じていても、チャンネル長 L にバラツキが生じない。従って、縦型電界効果トランジスタの特性のバラツキが生じない。

【0040】この縦型MOSトランジスタ21の製造は、次のようにして行う。まず、図8Aに示すように、第1導電型、例えばp型のシリコンからなる半導体基板2に熱酸化或いはCVD（化学的気相成長）法により絶縁膜11を形成し、この絶縁膜11の上に後に溝を形成する部分を開口するようにフォトレジスト12を形成する。

【0041】次に、図8Bに示すように、フォトレジスト12をマスクとして、p型のシリコン基板2の後にソース領域となる領域にP（リン）等の不純物をイオン注入して、第2導電型、即ちn型の低濃度（n-）の埋め込み層3を形成する。

【0042】次に、図9Cに示すように、フォトレジスト12をマスクとして、RIE法により絶縁膜11をエッチングし、その後フォトレジスト12を除去する。

【0043】次に、図9Dに示すように、残った絶縁膜11を覆って、CVD法によりSiO₂等からなる酸化絶縁膜18を形成する。そして、図10Eに示すように、酸化絶縁膜18をRIE法によりエッチングして、元の絶縁膜11の側部に酸化絶縁膜からなるサイドウォール22を形成する。

【0044】次に、図10Fに示すように、絶縁膜11及びサイドウォール22をマスクとして、RIE法により半導体基板2をエッチングして、溝14を形成する。このとき、前述の例と同様に、不純物を導入した埋め込み層3の領域内に溝14の底部が形成されるようにする。

【0045】この後は、前述の図4E～図6Jの工程と同様に、ゲート電極7、ソース領域4を構成する高濃度領域4a及び低濃度領域4b、ドレイン領域5を構成する高濃度領域5a及び低濃度領域5b、層間絶縁層8、金属電極10を順次形成して、図7に示す縦型MOSトランジスタ21を形成する。

【0046】前述の実施例では、図2Bのフォトレジスト12と図3Bのフォトレジスト13とのマスクずれで埋め込み層3と溝14との位置ずれが生ずる恐れもあるが、本実施例では埋め込み層3を形成した後、同じフォトレジスト12をマスクに絶縁膜11をパターンニングし、サイドウォール22を形成して、これをマスクに溝14を形成するので、埋め込み層3と溝14との位置ずれは全く生じない。

【0047】上述の各実施例では、ゲート電極を単層のポリシリコン層により形成した例であったが、例えばゲートを層間絶縁膜を介して形成された2層のポリシリコン層により構成した場合（NVデバイス＝不揮発性デバイス）においても、本発明の縦型電界効果トランジスタを適用することができる。その例を次に示す。

【0048】図11に示す縦型電界効果トランジスタ31は、ゲート電極をフローティングゲート32とコントロールゲート34の2層のポリシリコン層により形成

し、両ゲート32、34の間に第2のゲート絶縁膜33を挟んで形成したものであり、EPROMやフラッシュメモリ等に適用できるものである。

【0049】尚、その他の構成は、図1に示した縦型電界効果トランジスタ1と同様の構成であるので、同一の符号を付して重複説明を省略する。

【0050】この例においては、ソース領域4及びドレイン領域5の形成は、フローティングゲート32を形成した後、或いはさらにコントロールゲート34を形成した後に行う。

【0051】この場合も、上述の実施例と同様に、溝の深さのバラツキを生じても、チャネル長Lにバラツキが生じないので、メモリとしての特性にバラツキを生じない。

【0052】本発明の縦型電界効果トランジスタ及びその製造方法は、上述の例に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0053】

【発明の効果】上述の本発明による縦型電界効果トランジスタによれば、所定の深さに埋め込み層を形成して、埋め込み層内に溝の底部が形成されるようにすることにより、この埋め込み層と半導体基板表面の不純物領域との間にチャネル領域を形成することができ、溝の深さにバラツキを生じていても、埋め込み層内チャネル長のバラツキをなくすることができる。

【0054】従って本発明により、チャネル長のバラツキに起因する縦型電界効果トランジスタの特性のバラツキをなくし、安定した特性を有する縦型電界効果トランジスタを用いた半導体装置を製造することができる。これにより、素子の微細化を進めて、縦型電界効果トランジスタを用いた半導体装置のさらなる高集積化ができる。

【図面の簡単な説明】

【図1】本発明の縦型電界効果トランジスタの実施例（縦型MOSトランジスタ）の概略構成図である。

【図2】A、B 図1の縦型MOSトランジスタの一製造工程の工程図である。

【図3】C、D 図1の縦型MOSトランジスタの一製造工程の工程図である。

【図4】E、F 図1の縦型MOSトランジスタの一製造工程の工程図である。

【図5】G、H 図1の縦型MOSトランジスタの一製造工程の工程図である。

【図6】I、J 図1の縦型MOSトランジスタの一製造工程の工程図である。

【図7】本発明の縦型電界効果トランジスタの他の実施例（縦型MOSトランジスタ）の概略構成図である。

【図8】A、B 図7の縦型MOSトランジスタの一製造工程の工程図である。

【図9】C、D 図7の縦型MOSトランジスタの一製造工程の工程図である。

【図10】E、F 図7の縦型MOSトランジスタの一製造工程の工程図である。

【図11】本発明の縦型電界効果トランジスタのさらに他の実施例の概略構成図である。

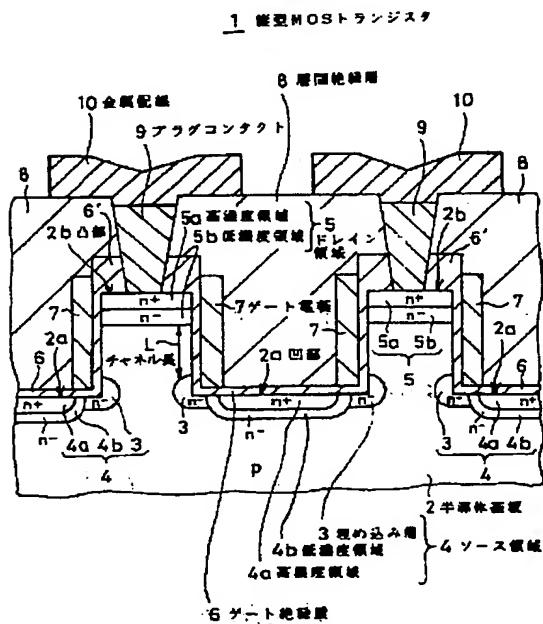
【図12】従来の縦型MOSトランジスタの概略構成図である。

【符号の説明】

1, 21, 31, 41 縦型MOSトランジスタ、2, 10 半導体基板、3 埋め込み層、4, 43 ソース領

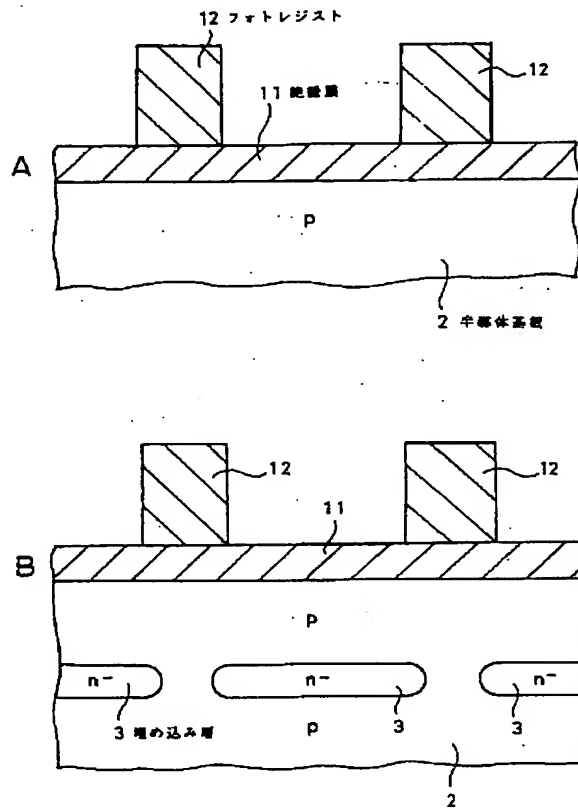
域 4a, 5a, 43a, 44a 高濃度領域、4b, 5b, 43b, 44b 低濃度領域、5, 44 ドレイン領域、6, 45 ゲート絶縁膜、7, 46 ゲート電極、8, 47 層間絶縁層、9, 48 プラグコンタクト、10, 49 金属配線、11 絶縁膜、12, 13 フォトリソグ、14 溝、15 ポリシリコン層、18 酸化絶縁膜、22 サイドウォール、32 フローティングゲート、33 第2のゲート絶縁膜、34 コントロールゲート、L チャンネル長、W_i 埋め込み層の幅、W_g 溝の幅

【図1】



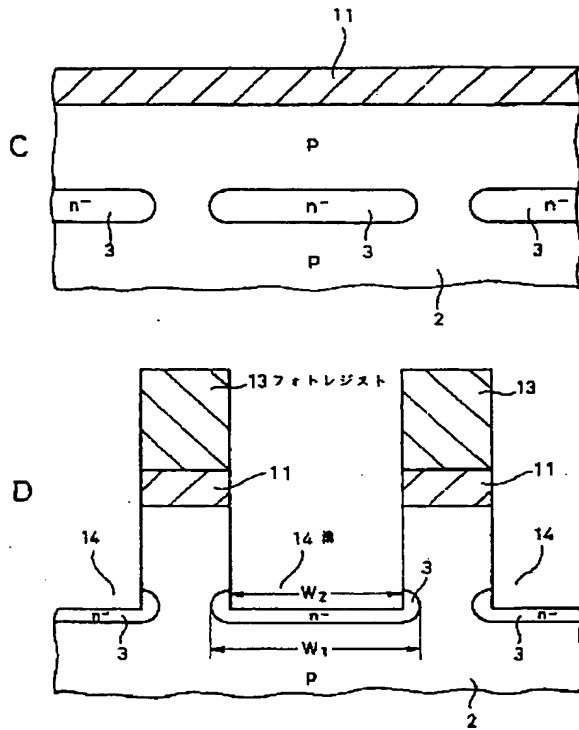
第1実施例の構成図

【図2】



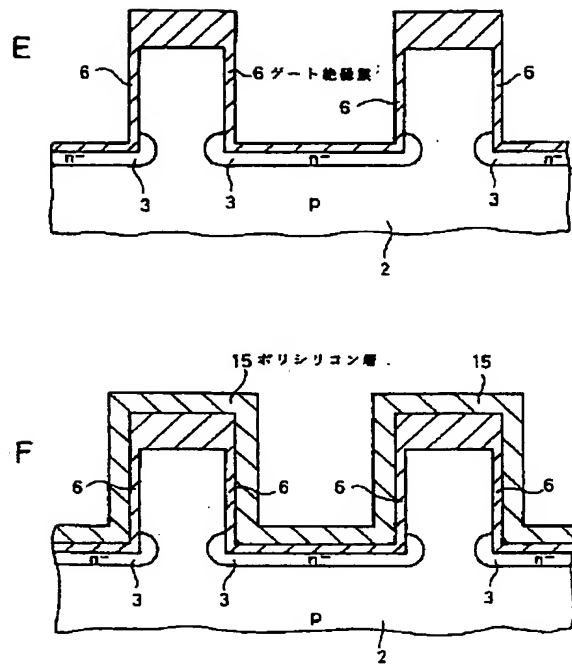
第1実施例の製造工程図(その1)

【図3】



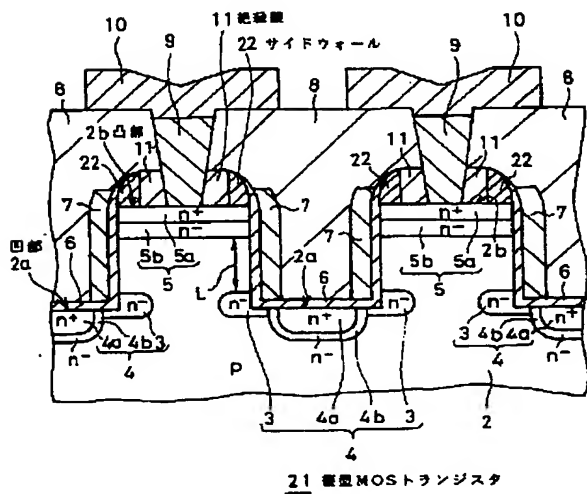
第1実施例の製造工程図(その2)

【図4】



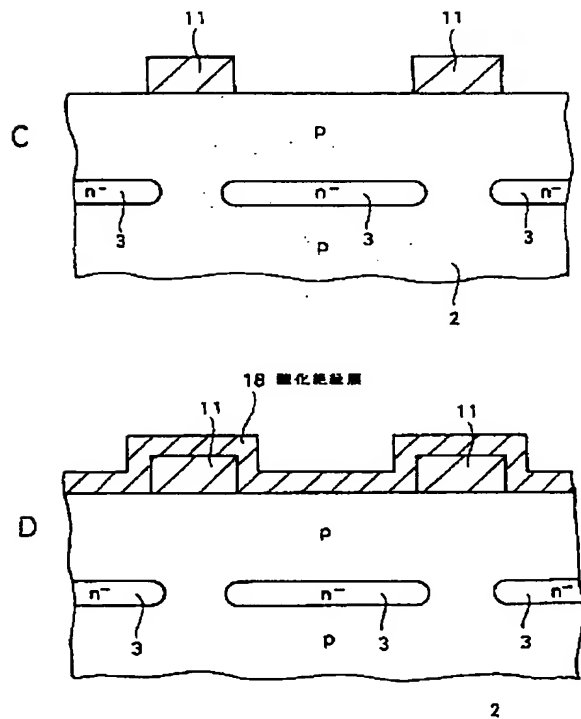
第1実施例の製造工程図(その3)

【図7】



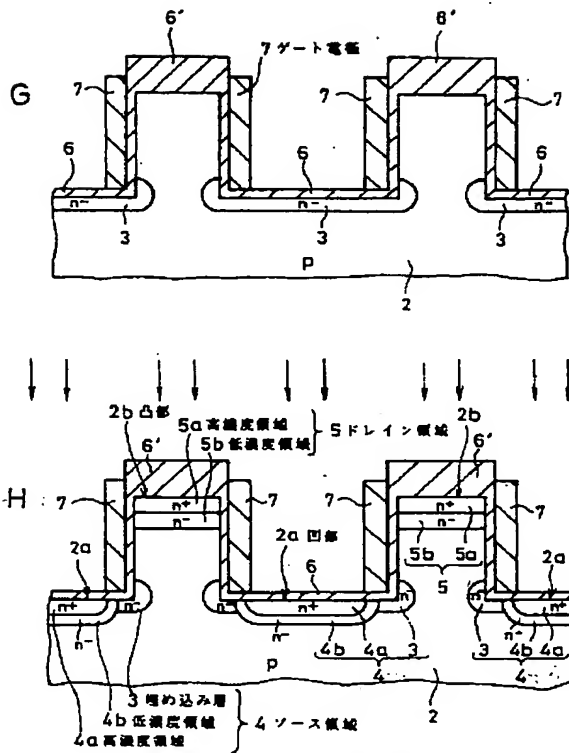
第2実施例の構成図

【図9】



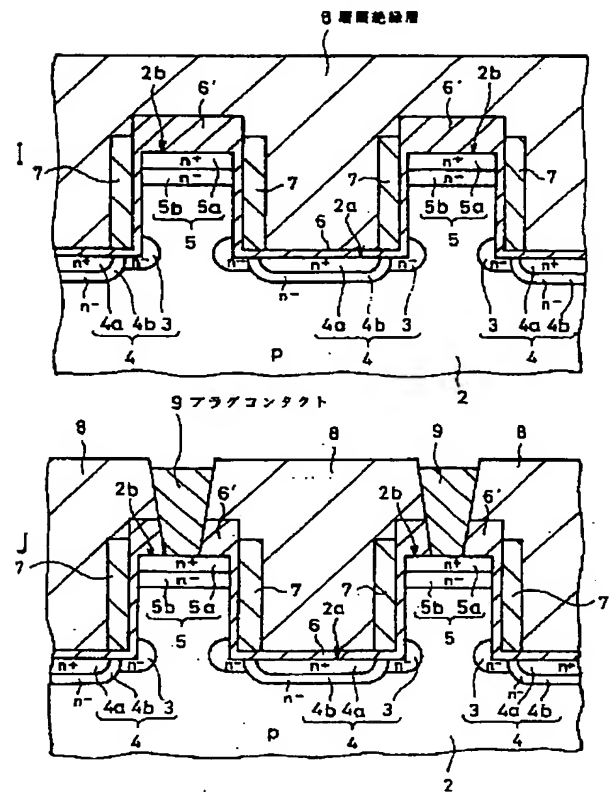
第2実施例の製造工程図(その2)

【図 5】



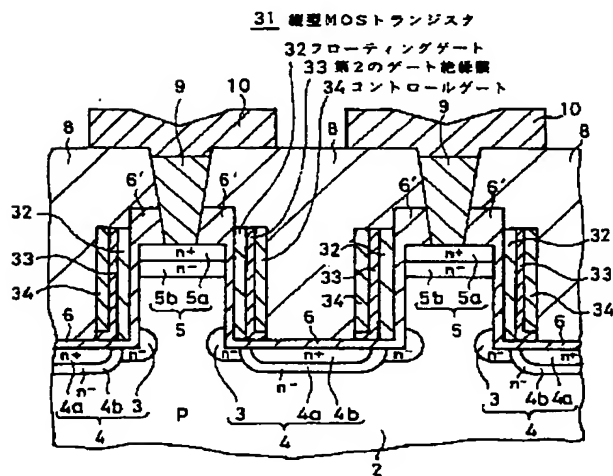
第1実施例の製造工程図(その4)

【図6】



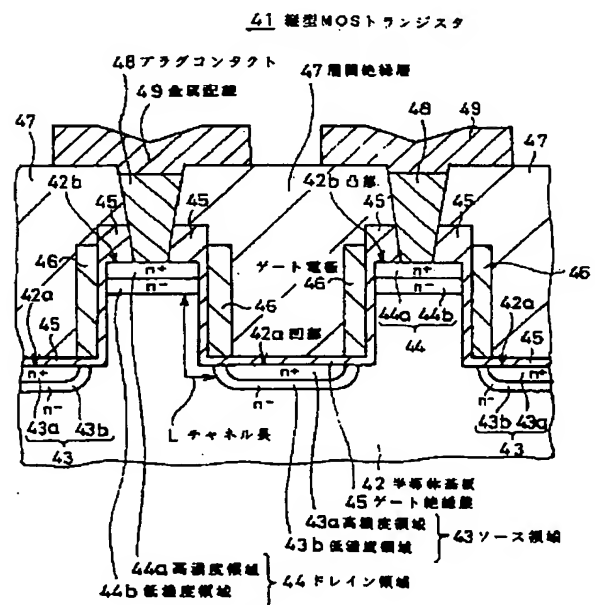
第1実施例の製造工程図(その5)

【☒ 1 1】



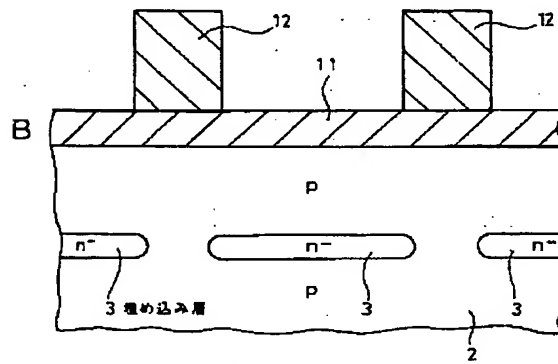
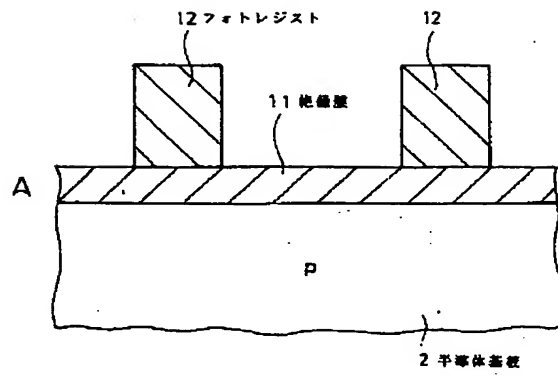
第3実施例の構成図

【图 12】



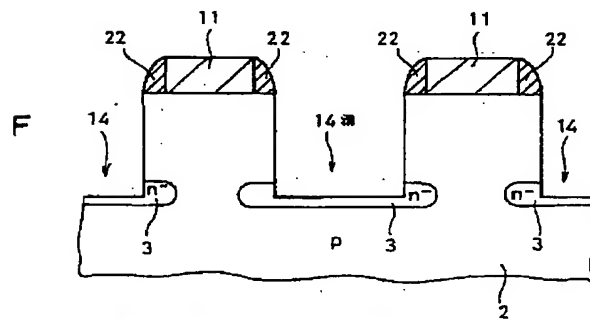
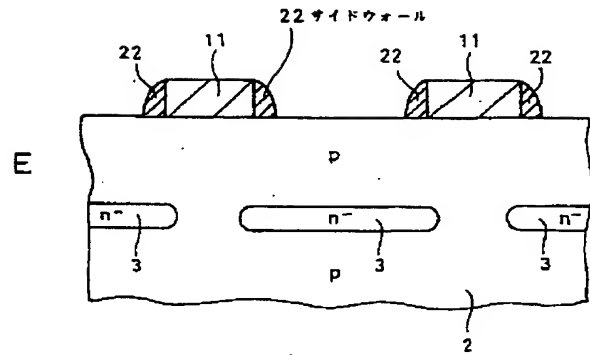
従来例の構成図

【図8】



第2実施例の製造工程図(その1)

【図10】



第2実施例の製造工程図(その3)